



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le **02 MARS 2004**

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (0)1 83 04 83 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr

THIS PAGE BLANK (USPTO)



INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE
26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

1^{er} dépôt

BREVET D'INVENTION
CERTIFICAT D'UTILITÉ
Code de la propriété intellectuelle-Livre VI

cerfa
N° 55 -1328

REQUÊTE EN DÉLIVRANCE 1/2

Réservé à
L'INPI

Cet imprimé est à remplir lisiblement à l'encre noire

REMISE DES PIÈCES

DATE **3 AVRIL 2003**

LIEU **38 INPI GRENOBLE**

N° D'ENREGISTREMENT **0304152**

NATIONAL ATTRIBUÉ PAR L'INPI

DATE DE DÉPÔT ATTRIBUÉE

PAR L'INPI

- 3 AVR. 2003

1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA
CORRESPONDANCE DOIT ÊTRE ADRESSÉE

**Cabinet Michel de Beaumont
1 rue Champollion
38000 GRENOBLE**

Vos références pour ce dossier

(facultatif) B5920

Confirmation d'un dépôt par télécopie ☐

N° attribué par l'INPI à la télécopie

2 NATURE DE LA DEMANDE

Cochez l'une des 4 cases suivantes

Demande de Brevet



Demande de certificat d'utilité



Demande divisionnaire



Demande de brevet initiale

N°

Date / /

ou demande de certificat d'utilité initiale

N°

Date / /

Transformation d'une demande de



brevet européen

Demande de brevet initiale

N°

Date / /

3 TITRE DE L'INVENTION (200 caractères ou espaces maximum)

COUCHES MONOCRISTALLINES HÉTÉROATOMIQUES

4 DÉCLARATION DE PRIORITÉ
OU REQUÊTE DU BÉNÉFICE DE
LA DATE DE DÉPÔT D'UNE
DEMANDE ANTÉRIEURE
FRANÇAISE

Pays ou organisation

Date

N°

Pays ou organisation

Date / /

N°

Pays ou organisation

Date / /

N°



S'il y a d'autres priorités, cochez la case et utilisez l'imprimé "Suite"

5 DEMANDEUR



S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé "Suite"

Nom ou dénomination sociale

STMicroelectronics SA

Prénoms

Forme juridique

Société anonyme

N° SIREN

Code APE-NAF

ADRESSE

Rue

29, Boulevard Romain Rolland

Code postal et ville

92120

MONTRouGE

Pays

FRANCE

Nationalité

Française

N° de téléphone (facultatif)

N° de télécopie (facultatif)

Adresse électronique (facultatif)

Réservé à
L'INPI

REMISE DES PIÈCES

DATE **3 AVRIL 2003**

LIEU **38 INPI GRENOBLE**

N° D'ENREGISTREMENT

0304152

NATIONAL ATTRIBUÉ PAR L'INPI

Vos références pour ce dossier :

(facultatif) B5920

6 MANDATAIRE

Nom

Prénom

Cabinet ou Société

Cabinet Michel de Beaumont

N° de pouvoir permanent et/ou
de lien contractuel

ADRESSE

Rue

1 Rue Champollion

Code postal et ville

38000

GRENOBLE

N° de téléphone (facultatif)

04.76.51.84.51

N° de télécopie (facultatif)

04.76.44.62.54

Adresse électronique (facultatif)

cab.beaumont@wanadoo.fr

7 INVENTEUR (S)

Les inventeurs sont les demandeurs

☐ Oui

☒ Non

Dans ce cas fournir une désignation d'inventeur (s) séparée

8 RAPPORT DE RECHERCHE

Uniquement pour une demande de brevet (y compris division et transformation)

Établissement immédiat

☒

ou établissement différé

☐

Paiement échelonné de la redevance

Paiement en trois versements, uniquement pour les personnes physiques

☐ Oui

☒ Non

**9 RÉDUCTION DU TAUX DES
REDEVANCES**

Uniquement pour les personnes physiques

☐ Requête pour la première fois pour cette invention (joindre un avis de non-imposition)

☐ Requête antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :

Si vous avez utilisé l'imprimé "Suite", indiquez
le nombre de pages jointes

**10 SIGNATURE DU DEMANDEUR
OU DU MANDATAIRE**
(Nom et qualité du signataire)

Michel de Beaumont
Mandataire n° 92-1016

**VISA DE LA PREFECTURE
OU DE L'INPI**

D.R.G.R.

COUCHES MONOCRISTALLINES HÉTÉROATOMIQUES

La présente invention concerne la croissance par épitaxie de couches monocristallines hétéroatomiques. La présente invention concerne plus particulièrement la formation de telles couches sur un matériau semiconducteur de paramètres cristallographiques différents.

On considérera ci-après à titre d'exemple, la formation de couches de silicium-germanium, SiGe, sur un substrat de silicium monocristallin et on s'intéressera plus particulièrement au cas où l'on souhaite former sur la couche SiGe une couche très mince de silicium contraint.

Dans un système cristallographique donné, dans lequel la maille élémentaire a une dimension déterminée, les caractéristiques électroniques et notamment la mobilité des porteurs (électrons/trous) sont déterminées. On a montré qu'il pouvait être souhaitable de modifier les paramètres de maille pour optimiser les caractéristiques électroniques. En particulier, dans le cas du silicium on a montré que, si l'on augmentait la dimension de la maille élémentaire (la valeur du paramètre de maille), on rendait possible la réalisation de composants élémentaires dont une dimension critique (par exemple, la longueur de canal ou l'épaisseur de base) pourrait être réduite.

Pour obtenir du silicium à maille élémentaire agrandie (silicium contraint), on a proposé de former une couche de silicium sur une couche cristalline dont la maille est plus grande que la maille normale du silicium monocristallin. En particulier, on a proposé de déposer une couche très mince (quelques épaisseurs atomiques, par exemple de 5 à 20 nm) de silicium sur une couche de silicium-germanium de composition choisie pour avoir un paramètre de maille déterminé.

La figure 1 est une vue en coupe partielle et schématique illustrant la formation, sur un substrat 1 de silicium monocristallin, d'une couche 2 de silicium-germanium que l'on appellera "pseudo-substrat" et d'une couche 3 de silicium. Lors d'un dépôt épitaxial du pseudo-substrat 2, celui-ci croît, sur quelques premières épaisseurs atomiques, avec un même paramètre de maille a_1 que celui du substrat 1. Ensuite, la présence du germanium entraîne une déformation progressive du réseau cristallin dont le paramètre de maille passe de la valeur a_1 à une valeur a_2 . La valeur finale a_2 dépend de la proportion de germanium introduite, éventuellement croissante au cours du dépôt. Lors d'un dépôt épitaxial ultérieur de la couche 3 de silicium, celle-ci amorce sa croissance avec un paramètre de maille contraint égal au paramètre a_2 sous-jacent. Des composants électroniques peuvent ensuite être formés de telle sorte qu'au moins une de leurs parties, par exemple une zone de canal de transistor MOS ou une zone de base de transistor bipolaire, soit formée dans la couche 3.

Il convient donc d'obtenir une couche 3 exempte de défauts. Par "exempte de défauts", on entend comportant une densité surfacique de défauts de l'ordre de celle des substrats de silicium standard, d'environ $1/\text{cm}^2$. Les défauts de la couche 3 sont principalement la conséquence des défauts du pseudo-substrat 2. Or les procédés actuels de formation par épitaxie de silicium-germanium sur du silicium conduisent à des couches de SiGe qui présentent une densité de défauts trop élevée, supérieure à $10^4/\text{cm}^2$.

La présente invention vise à proposer un procédé de formation d'une couche de silicium-germanium sur un substrat de silicium qui fournisse une couche active à très faible densité de défauts.

5 La présente invention vise également à proposer un tel procédé qui soit compatible avec les filières technologiques existantes.

Pour atteindre ces objets, la présente invention prévoit un procédé de formation par épitaxie d'une couche
10 semiconductrice monocristalline hétéroatomique sur une tranche semiconductrice monocristalline, les réseaux cristallins de la couche et de la tranche étant différents, comportant l'étape consistant à former, avant l'épitaxie, dans la surface de la tranche, au moins un anneau de discontinuités autour d'une
15 région utile.

Selon un mode de réalisation de la présente invention, la couche est une couche de silicium-germanium et la tranche est une tranche de silicium.

Selon un mode de réalisation de la présente invention,
20 une tranchée d'isolation est formée, après l'épitaxie, à l'emplacement de l'anneau, la tranchée entourant une zone active destinée à contenir au moins un composant élémentaire.

Selon un mode de réalisation de la présente invention, les anneaux sont de forme carrée ou rectangulaire et leurs
25 limites sont disposées selon des chemins de découpe ultérieure de la tranche en puces électroniques.

Selon un mode de réalisation de la présente invention, l'anneau est constitué d'une tranchée creusée dans le substrat.

Selon un mode de réalisation de la présente invention,
30 l'anneau est constitué d'une zone rugueuse dont la rugosité présente un écart quadratique moyen compris entre 10 et 30 nm.

Selon un mode de réalisation de la présente invention, une couche semiconductrice monocristalline supplémentaire est formée par épitaxie sur la couche hétéroatomique, le réseau
35 cristallin naturel du matériau constituant la couche supplémen-

taire étant différent de celui de la couche hétéroatomique, d'où il résulte que la couche supplémentaire est contrainte selon le réseau de la couche hétéroatomique.

5 Selon un mode de réalisation de la présente invention, la couche supplémentaire est une couche de silicium.

La présente invention prévoit également une tranche semiconductrice monocristalline recouverte d'une couche semiconductrice monocristalline hétéroatomique, les réseaux cristallins de la couche et de la tranche étant différents, caracté-
10 risée en ce que la surface de la tranche comporte au moins un anneau de discontinuités autour d'une région utile.

Selon un mode de réalisation de la présente invention, la couche hétéroatomique de la tranche est une couche de silicium-germanium et la tranche est une tranche de silicium.

15 Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

20 la figure 1, qui a été décrite précédemment, illustre, en vue en coupe partielle et schématique, une structure selon l'état de la technique ;

la figure 2 illustre schématiquement et partiellement la formation de défauts dans la structure de la figure 1 ;

25 les figures 3A et 3B illustrent, en vue de dessus partielle et schématique, un mode de réalisation de la présente invention ;

les figures 4A à 4D illustrent, en vue en coupe partielle et schématique, différentes étapes d'un procédé selon
30 la présente invention ; et

les figures 5A à 5C illustrent, en vue en coupe partielle et schématique, un autre mode de réalisation de l'invention.

Par souci de clarté, comme cela est habituel dans la représentation des circuits intégrés, les diverses figures ne
35 sont pas tracées à l'échelle.

La figure 2 est une vue en coupe partielle et schématique illustrant un mécanisme connu de propagation d'un défaut lors de la formation d'une couche de silicium-germanium par épitaxie avec introduction d'une proportion croissante de germanium. Comme cela a été décrit précédemment, les premiers plans hétéroatomiques suivent la maille cristallographique (a1) du substrat 1 sous-jacent et sont donc homogènes. En raison de la présence de germanium, les plans suivants tendent à se déformer et des dislocations apparaissent de façon aléatoire en des points O. L'existence des dislocations se traduit dans les plans superposés par des variations d'épaisseur, des ondulations U, qui s'étendent dans des directions privilégiées à partir de la verticale des dislocations source O. Les ondulations s'étendent et s'approfondissent au cours de la croissance épitaxiale du fait que la présence d'une ondulation favorise l'apparition de dislocations dans les niveaux superposés, dislocations qui donnent elles-mêmes naissance à des ondulations...

La présente invention propose un procédé permettant de localiser les défauts dans une couche hétéroatomique en dehors d'une zone utile.

Selon la présente invention, comme l'illustrent les figures 3A et 3B, en vue de dessus partielle et schématique, au moins une région annulaire D, de préférence carrée ou rectangulaire, entoure une région utile S d'un substrat 20. La région utile S correspond à une zone active dans laquelle doivent être formés un ou plusieurs composants élémentaires. La région annulaire D comporte au moins un élément de discontinuité (irrégularité de surface ou sillon) formé dans la surface du substrat 20.

La largeur w de l'anneau D dépend de la taille de la surface utile S qu'il définit, du nombre et de la proximité des anneaux, de la nature des discontinuités qu'ils comportent et de la nature de la couche déposée.

Les figures 4A à 4D illustrent, en vue en coupe partielle et schématique, des étapes successives d'un mode de réalisation de la présente invention.

Comme l'illustre la figure 4A, des tranchées T sont creusées dans un substrat de silicium 20 de façon à entourer une région utile S.

5 A l'étape suivante, illustrée en figure 4B, on fait croître sur l'ensemble du substrat 20, c'est-à-dire dans les tranchées T et sur la région utile S, une couche de silicium-germanium 21. La couche de SiGe 21 est déposée par épitaxie avec introduction progressive de germanium jusqu'à atteindre une proportion souhaitée, comprise par exemple entre 0 et 50% de
10 germanium.

Selon un mode de réalisation, la région utile S est une zone active élémentaire destinée à la formation d'un unique composant élémentaire, tel qu'une diode, un transistor MOS ou un transistor bipolaire. Les tranchées T ont alors une profondeur
15 de l'ordre de 100 à 700 nm, par exemple d'environ 500 nm. De préférence, la largeur de chaque tranchée T est choisie de l'ordre de la largeur d'isolement souhaitée entre deux zones actives. Ainsi, dans une technologie où une dimension élémentaire, par exemple la longueur de grille d'un transistor MOS, est de 90 nm,
20 la largeur w des tranchées T sera comprise entre 100 et 180 nm, par exemple de 120 nm.

Lors de la croissance de la couche de SiGe 21, on observe que la verticale des tranchées T piège les dislocations et que la partie centrale de la couche de SiGe 21 dans la région
25 utile S est exempte de défauts.

Dans le mode de réalisation des figures 4A-4B, l'épaisseur de la couche SiGe déposée est nettement inférieure à la profondeur des tranchées T. Il demeure alors des tranchées à la périphérie des zones utiles. Il est possible, comme l'illustre
30 la figure 4C, de remplir ces tranchées d'une couche isolante 22, par exemple en oxyde de silicium. On obtient ainsi des zones utiles entourées de tranchées remplies d'un isolant, ce qui correspond à un mode de séparation classique entre éléments d'un circuit intégré.

Le procédé se poursuit alors par des étapes propres au dispositif formé dans la région utile S. On commence par exemple comme l'illustre la figure 4D, par une croissance épitaxiale d'une couche 24 de silicium contraint destinée à constituer au moins une partie du canal d'un transistor MOS ou de la base d'un transistor bipolaire.

Dans le mode de réalisation précédent, on a considéré à titre d'exemple non-limitatif que les tranchées T correspondent à des tranchées d'isolation de type STI et la région utile S à une zone active élémentaire.

Plus généralement, un anneau de discontinuités est de préférence formé dans une région "inutile" de la surface du substrat, par exemple, une zone destinée à être oxydée, une frontière séparant des composants ou des groupes de composants élémentaires, une région correspondant à un chemin de découpe d'une puce ou le bord d'une plaquette. Les dimensions de l'anneau peuvent varier avec celles de la surface utile S. Au-delà de dimensions de l'ordre de $1 \times 1 \text{ mm}^2$, les dimensions de l'anneau sont d'au plus 2% de celles de la région utile S qu'il entoure. Par exemple, la surface peut être de l'ordre de $1 \times 1 \text{ mm}^2$ et la largeur w de l'anneau sera alors inférieure à $20 \text{ }\mu\text{m}$.

Lorsque sa largeur le permet, l'anneau peut contenir une pluralité de tranchées parallèles. C'est par exemple le cas d'anneaux d'une largeur de $100 \text{ }\mu\text{m}$ formés dans des chemins de découpe de puces électroniques d'une surface de $3 \times 3 \text{ cm}^2$.

On a considéré précédemment que les discontinuités de surface formées dans la surface d'un substrat sont des tranchées. Elles peuvent toutefois être une succession de simples creux répartis selon un motif annulaire autour d'une région utile. De façon générale, elles peuvent être une quelconque irrégularité de surface.

Les figures 5A à 5C illustrent, en vue en coupe partielle et schématique, un autre mode de réalisation de la présente invention.

Comme l'illustre la figure 5A, un substrat de silicium 30 est recouvert partiellement d'un masque M de façon à découvrir un anneau 31 autour d'une région 32.

5 Aux étapes suivantes, illustrées en figure 5B, on met en oeuvre un procédé propre à accroître la rugosité de la surface de silicium de l'anneau 31.

Des procédés d'accroissement de la rugosité d'une surface de silicium sont connus, et sont par exemple un procédé de gravure chimique avec une solution de gravure peu concentrée, 10 ou une gravure à sec avec un plasma peu agressif. La rugosité accrue du silicium de la surface de l'anneau 31 est, par exemple, telle que l'écart quadratique moyen des défauts ainsi formés est compris entre 10 et 30 nm.

15 Lors d'une épitaxie ultérieure, illustrée en figure 5C, d'une couche de silicium-germanium 33, les dislocations se concentrent à l'aplomb de l'anneau 31, autour de la verticale de la région 32,

On notera que l'orientation des axes de l'anneau selon la présente invention est de préférence celle d'apparition de 20 dislocations. Ainsi, il est connu que dans une plaquette (110) ou (111) les dislocations apparaissent majoritairement dans les directions $\langle 110 \rangle$ et $\langle 111 \rangle$, respectivement. Alors, des anneaux de concentration des défauts selon la présente invention seront orientés selon ces axes.

25 Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, on a décrit précédemment la présente invention appliquée à la formation de couches de germanium-silicium sur un substrat de silicium. Toutefois, des anneaux de 30 discontinuités destinés à piéger des dislocations selon la présente invention peuvent être utilisés lors de toute formation par épitaxie sur un premier matériau semiconducteur monocristallin d'un premier paramètre de maille de couches d'un second matériau semiconducteur monocristallin hétéroatomique d'un 35 second paramètre de maille. La présente invention s'applique

ainsi également à la croissance d'une couche hétéroatomique contenant des atomes des groupes III et V sur un substrat comportant au moins un même atome que la couche.

Par ailleurs, l'homme de l'art comprendra que les
5 modes de réalisation décrits précédemment sont combinables. Ainsi, on peut former des anneaux de discontinuités en des emplacements de nature différente dans un même substrat. Par exemple, on peut former des anneaux sur les bords, dans des chemins de découpe et autour de composants élémentaires d'une même tranche semiconduc-
10 trice. Lorsque plusieurs anneaux sont formés dans un même substrat, chacun peut contenir une discontinuité différente.

On notera également que les discontinuités peuvent être combinées dans un même anneau. Ainsi, il est possible de combiner le creusement de tranchées avec un accroissement de la
15 rugosité.

REVENDEICATIONS

1. Procédé de formation par épitaxie d'une couche semiconductrice monocristalline hétéroatomique (21 ; 33) sur une tranche semiconductrice monocristalline (20 ; 30), les réseaux cristallins de la couche et de la tranche étant différents, caractérisé en ce qu'il comporte l'étape consistant à former, avant l'épitaxie, dans la surface de la tranche, au moins un anneau (D) de discontinuités autour d'une région utile (S).

2. Procédé selon la revendication 1, caractérisé en ce que la couche (21 ; 33) est une couche de silicium-germanium et la tranche (20 ; 30) est une tranche de silicium.

3. Procédé selon la revendication 1, caractérisé en ce qu'une tranchée d'isolation (22) est formée, après l'épitaxie, à l'emplacement dudit anneau, ladite tranchée entourant une zone active destinée à contenir au moins un composant élémentaire.

4. Procédé selon la revendication 1, caractérisé en ce que lesdits anneaux sont de forme carrée ou rectangulaire et leurs limites sont disposées selon des chemins de découpe ultérieure de la tranche en puces électroniques.

5. Procédé selon la revendication 1, caractérisé en ce que ledit anneau est constitué d'une tranchée (T) creusée dans le substrat.

6. Procédé selon la revendication 1, caractérisé en ce que ledit anneau est constitué d'une zone rugueuse (31) dont la rugosité présente un écart quadratique moyen compris entre 10 et 30 nm.

7. Procédé selon la revendication 1, caractérisé en ce qu'une couche semiconductrice monocristalline supplémentaire (24) est formée par épitaxie sur ladite couche hétéroatomique (21), le réseau cristallin naturel du matériau constituant la couche supplémentaire étant différent de celui de la couche hétéroatomique, d'où il résulte que la couche supplémentaire est contrainte selon le réseau de la couche hétéroatomique.

8. Procédé selon la revendication 7, caractérisé en ce que la couche supplémentaire (24) est une couche de silicium.

9. Tranche semiconductrice monocristalline (20 ; 30) recouverte d'une couche semiconductrice monocristalline hétéroatomique (21 ; 33), les réseaux cristallins de la couche et de la tranche étant différents, caractérisée en ce que la surface
5 de la tranche comporte au moins un anneau (D) de discontinuités autour d'une région utile (S).

10. Tranche selon la revendication 9, caractérisée en ce que la couche hétéroatomique (21 ; 33) est une couche de silicium-germanium et la tranche (20 ; 30) est une tranche de
10 silicium.

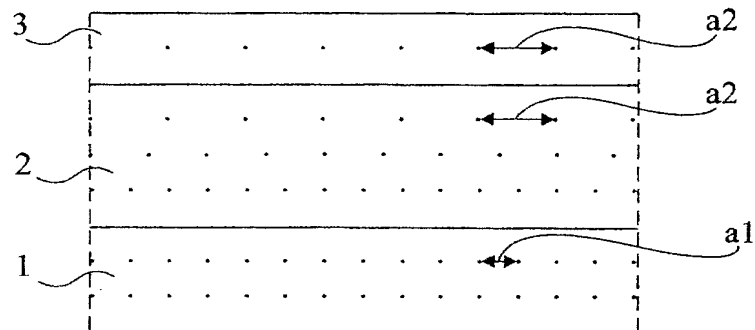


Fig 1

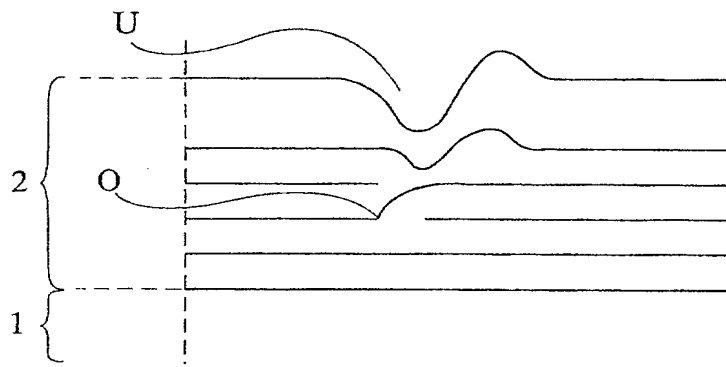


Fig 2

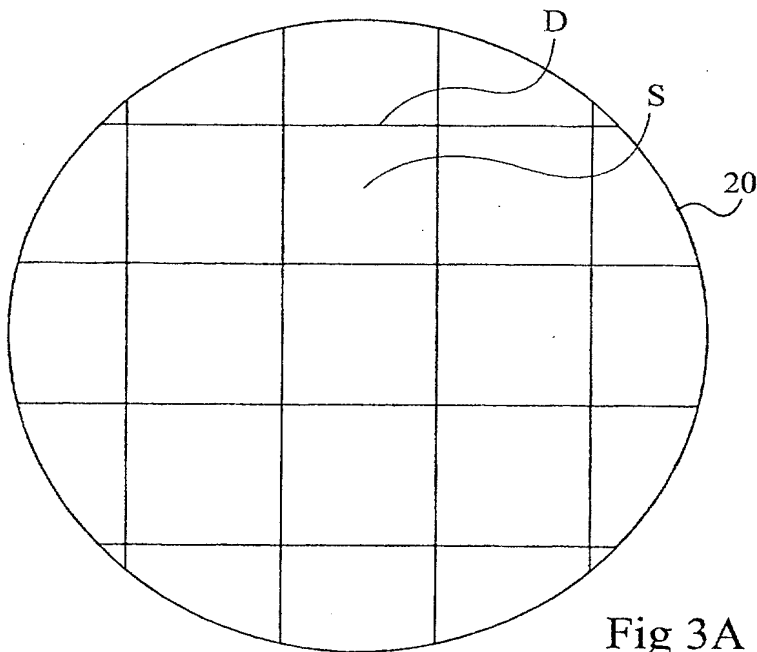


Fig 3A

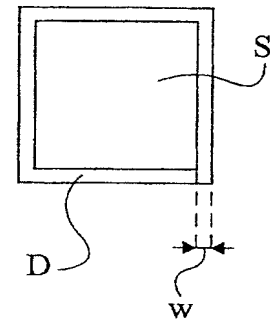


Fig 3B

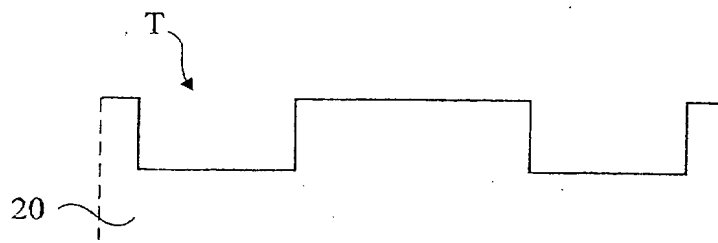


Fig 4A

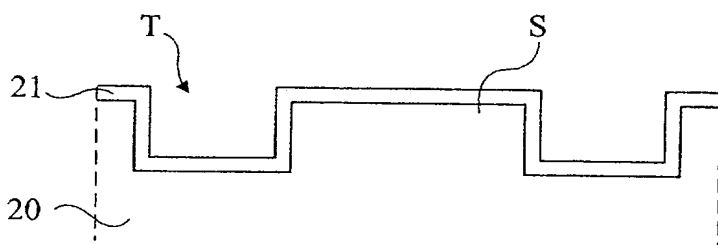


Fig 4B

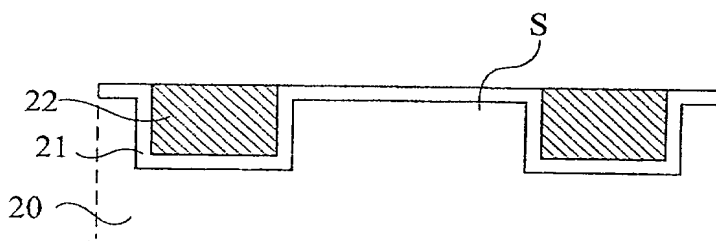


Fig 4C

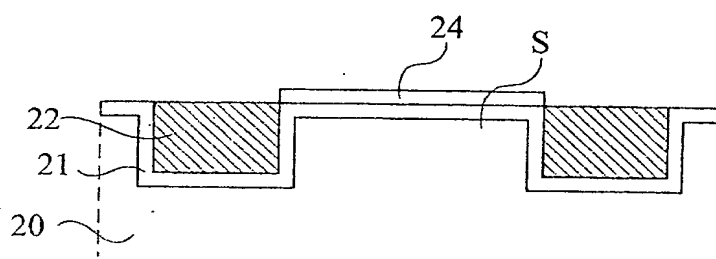


Fig 4D

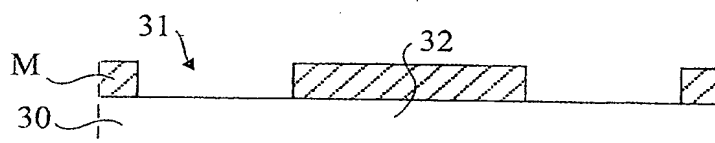


Fig 5A

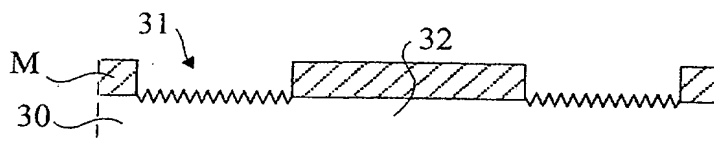


Fig 5B

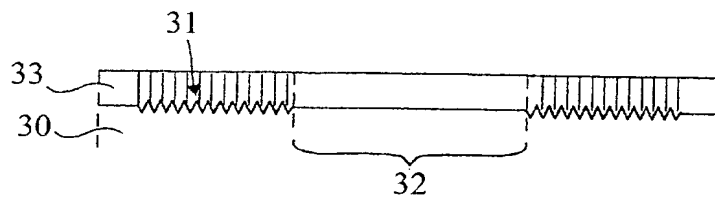


Fig 5C



DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg

75800 Paris Cedex 08

Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

**BREVET D'INVENTION,
CERTIFICAT D'UTILITÉ**

Code de la propriété intellectuelle-Livre VI



N° 55 -1328

DÉSIGNATION D'INVENTEUR(S) PAGE N°1/ 2

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

Vos références pour ce dossier (facultatif)		B5920	
N° D'ENREGISTREMENT NATIONAL		0304152	
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
COUCHES MONOCRISTALLINES HÉTÉROATOMIQUES			
LE(S) DEMANDEUR(S):			
STMicroelectronics SA			
DESIGNE (NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite "Page N°1/1" S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Prénoms & Nom		Daniel <u>Bensahel</u>	
ADRESSE	Rue	49, Rue Louise Michel	
	Code postal et ville	38100	GRENOBLE, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom		Olivier <u>Kermarrec</u>	
ADRESSE	Rue	3, Allée des Iris	
	Code postal et ville	38610	GIERES, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom		Yves <u>Morand</u>	
ADRESSE	Rue	16 Rue Amédée Morel	
	Code postal et ville	38000	GRENOBLE, FRANCE
Société d'appartenance (facultatif)			
DATE ET SIGNATURE (S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)			
Michel de Beaumont Mandataire n° 92-1016 Le 27 mars 2003			



DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg

75800 Paris Cedex 08

Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

**BREVET D'INVENTION,
CERTIFICAT D'UTILITÉ**

Code de la propriété intellectuelle-Livre VI



DÉSIGNATION D'INVENTEUR(S) PAGE N°2/ 2

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

Vos références pour ce dossier (facultatif)		B5920	
N° D'ENREGISTREMENT NATIONAL		0304152	
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
COUCHES MONOCRISTALLINES HÉTÉROATOMIQUES			
LE(S) DEMANDEUR(S) :			
STMicroelectronics SA			
DESIGNE (NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite "Page N°1/1" S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Prénoms & Nom		Yves Campidelli	
ADRESSE	Rue	1, Place Hubert Dubebout	
	Code postal et ville	38000	GRENOBLE, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom		Vincent Cosnier	
ADRESSE	Rue	7, Rue Henry Le Chatelier	
	Code postal et ville	38000	GRENOBLE, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE (S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)			
Michel de Beaumont Mandataire n° 92-1016 Le 27 mars 2003			

THIS PAGE BLANK (USPTO)